

具有四种可重新设定均衡方案的 CMOS 高速背板发射机

朱旭东¹, 陈殿勇², T. Kwasniewski²

(1. 无锡工艺职业技术学院电子信息系, 江苏无锡 214231; 2. Carleton 大学电子系, 加拿大)

摘要: 介绍了一种带有可重构的波特率有限冲激响应型均衡器的高速背板发射机电路. 均衡器可以根据需要设置为基于脉冲幅度调制编码的数据中心优化型二电平均衡器和四电平均衡器、边沿优化型均衡器和双二进制均衡器, 以及两倍速过采样均衡器. 给出了均衡器设计与优化的步骤和公式, 并利用 90nm CMOS 工艺制作了测试芯片. 在 40in 背板上数据率为每秒 10 Gbps 的实验结果较好地符合了理论分析和设计目标. 当电源电压为 1.2V 时, 发射机功耗为 70.3mW, 能驱动 50Ω 的背板, 输出电平峰峰值为 500mV.

关键词: 背板; 均衡器; 群延迟; 码间干扰; 有限冲激响应

中图分类号: TN29 **文献标识码:** A **文章编号:** 0372-2112 (2014)11-2291-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2014.11.025

A CMOS High-Speed Backplane Transmitter with 4 Reconfigurable Equalization Schemes

ZHU Xu-dong¹, CHEN Dian-yong², T. Kwasniewski²

(1. Wuxi Institute of Arts & Technology, Wuxi, Jiangsu 214231, China; 2. Carleton University, Ottawa, Canada)

Abstract: This paper presents a high-speed backplane transmitter with an equalizer that can be reconfigured to baud rate finite-impulse-response (FIR) data center 2-level pulse amplitude modulated (2-PAM) and 4-level pulse amplitude modulated (4-PAM) equalizer, edge equalizer, and duobinary equalizer. Equations to optimize the equalizer design are introduced. A test chip has been designed in 90nm CMOS. Experimental results on a 40in backplane at 10 gigabits-per-second (Gbps) match the theoretical analysis. The transmitter consumes 70.3mW of power from a 1.2V supply while driving 500mV peak to peak voltage.

Key words: backplane; equalizer; group delay; inter-symbol-interference (ISI); finite-impulse-response (FIR)

1 引言

发射端均衡方案对高速背板通信系统是非常重要的, 并且在实际电路中获得了广泛的应用. 尽管深亚微米 CMOS 工艺采用越来越低的电源电压^[1~3], 使得接收端均衡方案得到了更广泛的重视, 高速 I/O 收发机仍多采用发射端 (TX) 的前馈均衡器 (FFE) 与接收端 (RX) 的判决反馈均衡器 (DFE) 的组合, 因为这些均衡器相互取长补短, 提供了非常有效的均衡解决方案^[3]. 在最近的文献中, 也有在接收端采用前馈均衡器的, 因为 45 纳米和更新的 CMOS 工艺能提供了这种设计方案所需的速度^[1,2]. 但是, 这种接收端的前馈均衡器需要多比特乘法器和加法器, 即使采用只有少量抽头的有限冲激响应滤波器 (FIR) 结构, 功耗和电路的复杂度仍然是不小的挑战^[2]. 另一方面, 在过去几十年里, 人们已经成功研制出许多发射端的 FIR 均衡方案. 就背板的传输特性、系

统的复杂程度、采样点的信噪比 (SNR) 和转换边沿的抖动而言, 每种方案都适合其特定的应用场合. FIR 结构的波特率预加重型均衡器在高速背板收发机中很普遍^[4~8]. 其中采用二电平脉冲幅度调制 (2-PAM) 和四电平脉冲幅度调制 (4-PAM) 的数据中心优化型均衡器设计目标是使数据判决点的码间干扰 (ISI) 和噪声的平均能量最小^[9]. 这种方案可能在数据转换边沿遗留较大的码间干扰. 4-PAM 通过牺牲采样点的信噪比来换取较窄的信号带宽. 而窄的信号带宽使信号遭受较小的能量损失. 当这种差异带来的信噪比增益高于 10 分贝时, 采用数据中心优化的 4-PAM 均衡器性能优于 2-PAM 均衡器, 但电路结构和时钟恢复更为复杂^[8]. 波特率的双二进制均衡器的设计目标是使数据转换边沿的码间干扰 (ISI) 和噪声最小化. 这种方案会在数据采样点遗留较大的码间干扰. 两倍速以上过采样均衡器理论上可使数据中心和数据边沿的码间干扰同时最小化. 实际电路中

由于其过于衰减低频而放大高频,导致其噪声和串扰高于波特率的数据中心优化型均衡器和数据边沿优化的双二进制均衡器^[5].双二进制均衡器利用了背板传输曲线的自然滚降特性^[7],在高损耗的背板应用中,性能比二电平数据中心优化型均衡器的性能更好.然而,在中、低损耗的背板上,二电平数据中心优化型均衡器的性能和结构更好.通常,采用双二进制均衡器的系统的时钟和数据恢复(CDR)要比采用二电平数据中心优化型均衡器的系统复杂.而且一般需要在发射端增加汤姆林森-原岛预编码器^[6].

尽管发射端的 FIR 均衡器很重要,但是作者并未检索到专门讨论实际电路中均衡器的群延迟以及受限于发射功率等情况下群延迟如何与均衡器的幅度传递特性相互作用的文献.然而,这是设计和优化 FIR 发射机均衡器时要考虑的一个重要因素,有时甚至是解释一些有趣的疑难问题的答案.例如,一些工业界的专家在 DesignCon 会议上发表了一篇论文^[10].该论文说,他们采用“双二进制均衡器”的设计方法,却没有观察到典型的有发射端双二进制均衡器的收发机的接收端眼图,因为他们观察到的眼图是“可用 NRZ 方法探测的”,即可以通过设定一个判决电平在数据中心立即恢复数据.在发送端数据没有采用特别的编码如游程长度受限编码(RLL)或汤姆林森-原岛预编码时,传统的发射端双二进制均衡器的接收端眼图不可能是“可用 NRZ 方法探测的”.因此他们把这种均衡器命名为“边沿均衡器”,因为它具有二电平数据中心优化型均衡器的特点,但数据转换边沿的抖动又被最小化了.这当然有利于采用较简单的数据与时钟恢复电路,例如仅使用限幅放大器.但是该文的理论分析不正确.它所建议的奇对称 FIR 预加重均衡器设计方案实际上也不十分可行,因为对称结构的滤波器具有线性相位,是不可能补偿通道的群延迟失真的.文献[11]采用了“边沿均衡器”的某些设计思想并使用了实际的背板信道.该文的一个新发现是在构建 FIR 滤波器系数时,从信道的单位矩形脉冲的时域响应波形的峰值后 7/16 个单位时间间隔(UI)的地方开始采样,其结果优于从距离峰值 0.5 个单位时间间隔采样所得到的.虽然这个结论是正确的,但是,其时间偏移量的获得基于随机搜索,没有给出一般化的设计方案或公式,且没有实验结果支持.

本文引入了 FIR 预加重型发射端均衡器设计的通用公式,并在此基础上讨论了给定发射功率的情况下滤波器的群延迟与其增益之间的相互作用,解释了文献[10]和[11]的问题.为了验证我们的分析,我们设计了一块 CMOS 高速背板发射机电路芯片.该发射机的均衡器可以根据需要重新设置为以上讨论的四种均衡器方案之一.用户可以根据背板的性能、系统复杂性,抖

动容限和误码率等因素,将均衡器设置为最适合的一种.

2 背板传输特性

在微带线中传输的电磁场主要是准横电磁波模式(quasi-TEM).电场强度 E 可写为:

$$E = E_0 \exp(-\alpha z) \exp(-j\beta z) \exp(j\omega t) \quad (1)$$

其中 z 是到电源的距离, ω 是角频率, α 是衰减因子, β 为传播常数.衰减因子是频率相关的,它可以从集总参数模型导出^[12]

$$\alpha \approx \pi f \sqrt{\mu_0 \epsilon_0 \epsilon_r^{\text{eff}}} \left[\frac{\epsilon_r}{\epsilon_r^{\text{eff}}} \tan \delta + 2 \frac{g_2}{g_1} \left(1 + \frac{\epsilon_r}{\epsilon_r^{\text{eff}}} \tan \delta \right) \sqrt{\frac{\mu_0}{4\pi\sigma}} \right] \quad (2)$$

其中 f 是频率, g_1 和 g_2 由传输线的几何形状和物理结构决定的,其表达式由文献[13]和[14]给出, ϵ_0 和 μ_0 分别是在自由空间中的介电常数和磁导率, ϵ_r 是电介质的相对介电常数, ϵ_r^{eff} 是有效介电常数, σ 是金属的电导率, $\tan \delta$ 是损耗角正切.可以从式(2)推断出在低频率时金属的趋肤效应主导衰减因子,使其大致正比于频率的平方根;在高频时,基板的损耗角正切占主要地位,衰减因子大致正比于频率.从式(1)还可以看出,背板的能量损失与背板的长度有关,呈指数增加.而式(2)则指出,背板的能量损失也与信号的频率相关,在高频时也呈指数增加趋势.

3 发射机电路

图1是本文所讨论的发射机电路的框图.该电路除滤波器系数设定部分采用标准的 CMOS 逻辑外,其余都采用电流模式逻辑(CML).

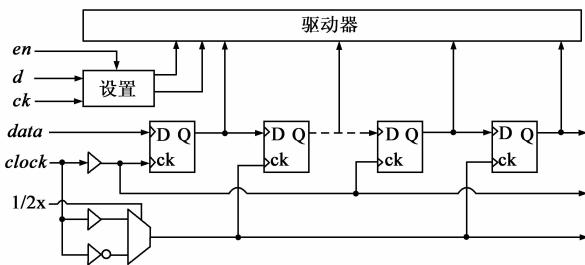


图1 发射机的结构示意图

该电路具有三个主要功能块.第一个模块实际上是一个延迟线.它是由 8 个 CML 触发器组成.当作为波特率均衡器使用时,我们只使用前 6 个触发器,其它被关闭.当作为两倍过采样的均衡器中使用时,触发器被分成 2 组.一组在时钟上升沿触发;另一组则在时钟信号的下降沿触发.第二个模块是滤波器系数设置.它有 3 个输入信号:时钟信号“ck”,串行输入数据“d”和使能信号“en”.当“en”是为高电平时,系数的数值和符号被

串行读入. 高速时钟和伪随机数据都是由外部的信号发生器产生的. 第三个模块是 CML 背板驱动器 (line driver). 该电路的工作原理在我们以前的文章 [15] 中讨论过. 电路的大致结构见图 2.

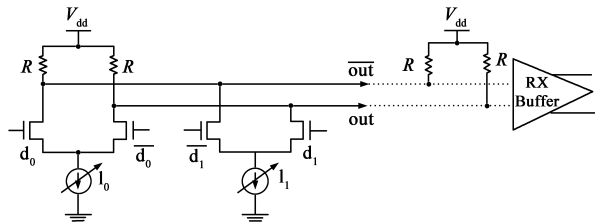


图2 CML背板驱动电路示意图

在 CML 背板驱动电路中, 一条“臂膀”上的电压最大值出现在该“臂膀”上没有电流时; 而最低电压则出现在全部偏置电流即所谓“tail current”都流经该“臂膀”的时候. 如果输出信号摆幅过大, 导致所谓“虚地”电压过低, 偏置电流源将离开线性放大区进入所谓“triode”区域, 引起信号畸变. 这是要注意的问题. 如果要增大摆幅, 一般建议采用低阈值的管子和低阈值偏置电路. 假设能实现完美的宽带阻抗匹配, CML 输出信号的电压摆幅 V_s 可表示为:

$$V_s = R/2 \cdot \sum_{k=0}^N i_k \quad (3)$$

实际中不存在完美的宽带阻抗匹配, 因此有反射和回波叠加. 另外, 我们忽略了寄生参数和衬底的电流泄漏. 当这些因素不是特别大时, 式(3)作为一阶近似是合理的. 为了方便讨论, 我们引入一个理想电压源, 其摆幅 ΔV 定义为输出信号摆幅的两倍. 则传输线驱动电路的功耗可写成:

$$P = V_{dd} \cdot \sum_{k=0}^N i_k = V_{dd} \Delta V / R \quad (4)$$

这种估算当然不是非常精确, 尤其是在高频率时. 然而, 除了上面提及的一阶近似原因外, 本文所讨论的 4 种均衡方案皆使用图 2 的电路. 因此, 使用式(4)来比较它们是恰当的. 这样, 4 种均衡方案都是在具有相同发射功率的前提下进行比较.

滤波器的系数是通过偏置电流来设定的. 偏置电流是由数字到模拟转换器(DAC)来控制的. 每一个偏置电流是由若干二进制加权电流镜组成. 由于我们事先无法知道哪个抽头系数最大, 我们必须让每个抽头具有相同的调节范围和分辨率. 因此偏置电流的调节范围和分辨率也必须相同. 若通过简单的方式来满足这些要求, 将导致芯片面积、扩散电容和功耗的大增. 本文使用了文献[16]提出的一种电路结构. 这种结构通过动态分配占用芯片面积大的单元给所需的抽头达到面积共享; 但每个抽头都有自己的精细调节部分. 这样芯片面积的额外开销只增加了 50%.

4 数学模型及设计公式

4.1 混合信号的数学模型

不管输入阻抗是否匹配, 收发机的信道部分都可以用图 3 所示的等效电路表示. 其中 V_c 是共模电压, V_d 是差模电压. V_c 等于 $V_{dd} - V_s$, V_d 等于 V_s . 为了简化分析, 我们用单端信号 $v = V_1 - V_2$ 取代差分信号 V_1 和 V_2 . 对于波特率均衡器, v 可以表示为:



图3 收发机的简单等效电路

$$v(t) = RI_{total} \sum_{n=-\infty}^{\infty} \left(\sum_{k=0}^N d(n-k) i(k) / I_{total} \right) \cdot \text{rect}[(t-nT)/T] * b(t) \quad (5)$$

其中 $\text{rect}(t)$ 是矩形函数, $\{d(n)\}$ 是二进制输入序列, $*$ 是卷积算符, $b(t)$ 为从差分输入源到负载的电压传递函数的时域冲激响应. 为了表示滤波器系数的正负, 偏置电流 $i(k)$ 现被暂定为是有正负的. 在实际电路实现, 偏置电流不能为负. 负系数抽头是通过反转输入端的差分数据来实现的. 滤波器的系数 $c(k)$ 定义为偏置电流 $i(k)$ 与总的偏置电流 I_{total} 之比. 矩形函数把输入的二值信号维持一个波特周期 (T). 它是一个简单的数模转换器(DAC). 对式(5)进行连续时间傅里叶变换(CFT)并将其结果写成离散时间傅里叶变换(DFT)的形式, $v(t)$ 的频谱可表示为:

$$V(\omega) = \Delta V \cdot D(\omega T) \cdot T \cdot \sin C(\omega T/2) \cdot B(\omega) \quad (6)$$

其中 $D(\omega T)$ 是 $\{d(n)\}$ 的离散时间傅里叶变换, $C(\omega T)$ 是 $c(k)$ 的离散时间傅里叶变换, $B(\omega)$ 是从差分输入源到负载的电压传递函数, 信道的矩形脉冲响应 $H(\omega)$ 定义为:

$$H(\omega) = T \cdot \sin C(\omega T/2) \cdot B(\omega) \quad (7)$$

信道的矩形脉冲响应时域波形为 $h(t)$. 它不是信道的冲激响应. 假定 $\{y_\theta(m)\}$ 是从 $v(t)$ 进行采样所得的离散序列. 采样时刻是在 $t_m = \{mT + \theta\}$, T 是波特周期, m 是整数, θ 是采样相位. $\{y_\theta(m)\}$ 可以表达为:

$$y_\theta(m) = v(mT + \theta) \\ = \Delta V \sum_{n=-\infty}^{\infty} \sum_{k=0}^N d(n-k) \cdot c(k) \cdot h(mT + \theta - nT) \quad (8)$$

一般来说, 可以在时域根据 $\{y_\theta(m)\}$ 来设计均衡器. 当输入序列 $\{d(n)\}$ 为克罗内克冲激函数, $\{y_\theta(m)\}$ 称为目标响应. 如果 $\{y_\theta(m)\}$ 也是克罗内克冲激函数, 那么均衡器就是一个数据中心均衡器. 如果 $\{y_\theta(m)\}$

为 $1+z^{-1}$, 那么均衡器就是双二进制均衡器或边沿均衡器。

可以看到, 当存在频谱混叠时, 不同的采样相位将导致很不同的采样序列。例如, 对模拟信号 $y(t) = \sin(2\pi f_0 t)$ 在 $t_k = k/f_0$ 采样, 所有采样点全部为零, 其中 k 是整数; 而在 $t_k = (k+0.25)/f_0$ 采样, 所有采样都等于 1。类似的观察被用来构建抑制镜频的欠采样射频 (RF) 带通滤波器^[17]和抑制噪声的陷波滤波器^[18]。根据我们在文献[19]中介绍的步骤, 可以得到模拟信号和它的抽样序列之间的频域关系。图 4 展示了某信道的单个输入脉冲, 未均衡的接收端信号和均衡后的接收端信号。为了方便, 我们采用新的坐标, 将时间轴原点平移 θ 到某个采样点。在新的坐标系中应用采样原理^[20], $\{y_\theta(m)\}$ 的 DFT 和 $v(\omega)$ 的关系为:

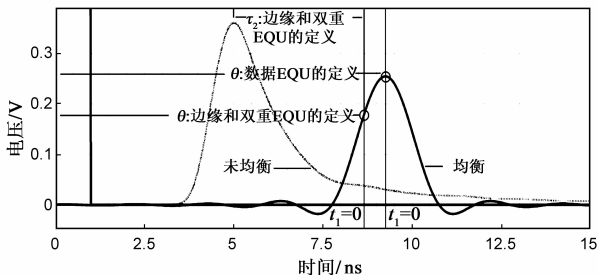


图 4 某信道的输入信号、未均衡时的接收端信号和有发射端均衡的接收端信号

$$Y_\theta(\omega T) = \frac{1}{T} \sum_{k=-\infty}^{\infty} V(\omega - k\omega_0) \exp(j(\omega - k\omega_0)\theta) \quad (9)$$

其中 ω_0 是采样角频率。可以看出, $Y_\theta(\omega T)$ 是由信道响应的基带部分和带外高频部分的累加。用式(6)中 $v(\omega)$ 取代式(9)中的, 式(9)重写为:

$$Y_\theta(\omega T) \exp(-j\omega\theta) = \frac{\Delta V}{T} C(\omega T) \sum_{k=-\infty}^{\infty} H(\omega - k\omega_0) \exp(-jk\omega_0\theta) \quad (10)$$

4.2 边沿均衡器的设计方法

实际上式(10)中仅 $k = -1$ 和 $k = 0$ 的项很重要, 因为在高损耗的背板中频率高于 ω_0 的信号的功率是非常微弱的, 而且接收端数据采样前常使用低通滤波器来限制宽带噪声。从式(10)可以推断, 当采样相位或延迟时间为某些特定值时, 累加的结果会在奈奎斯特频率点自动产生一个零点, 不管 FIR 滤波器在此频率的响应是否为零。因为时域的实信号在频域是共轭对称的。这个延迟时间可以解析求解。它由式(11)给出。

$$\theta/T \approx n + \text{phase}[H(\omega_0/2)]/\pi + k/2 \quad (11)$$

其中 n 是一个整数, 而 k 是一个奇整数。这结果可以被用来建立一类特殊的双二进制均衡器, 这就是文献[10]所称的“边沿均衡器”。由于奈奎斯特频率处的零点是

频谱混叠的结果, FIR 滤波器在该处的响应不必为零。因此眼图在数据中心可以是“NRZ detectable”的。将式(10)中的 θ 由公式(11)给出的值取代, 就可以获得边沿均衡器的系数。这个通用的设计方法是文献[10]没有获得的。

4.3 两倍速过采样均衡器

设计两倍速过采样均衡器的传统方法需要将输入序列内插, 并使触发器工作频率提高到两倍的波特率。在图 1 中所示的均衡器电路是一种“半速率”结构。触发器的工作频率为波特率。根据式(6), 此结构比传统的“全速率”两倍速过采样均衡器的“去加重”要小。对于两倍速过采样的均衡器, 式(5)可写为:

$$v(t) = \Delta V \sum_{n=-\infty}^{\infty} \left\{ \sum_{k=0}^N d(n-k) ce(k) \text{rect}(t/T-n) + \sum_{k=0}^N d(n-k) co(k) \text{rect}(t/T-n-0.5) \right\} * b(t) \quad (12)$$

其中 $ce(k)$ 是在偶数分支的第 k 个系数, $co(k)$ 是奇数分支的第 k 个系数。对式(12)进行 CFT 变换并对结果按照 DFT 变换处理, $v(t)$ 的频域响应为:

$$V(\omega) = \Delta V D(\omega T) H(\omega) C(0.5\omega T) \quad (13)$$

其中 $C(0.5\omega T)$ 是滤波器系数 $\{ce(0), co(0), ce(1), co(1), \dots, ce(N), co(N)\}$ 的离散傅立叶变换。滤波器系数的采样间隔是 $0.5T$, 在频域的目标响应可以表示为:

$$Y_\theta(0.5\omega T) \exp(-j\omega\theta) = \frac{\Delta V}{0.5T} C(0.5\omega T) \sum_{k=-\infty}^{\infty} H(\omega - 2k\omega_0) \exp(-j2k\omega_0\theta) \quad (14)$$

5 仿真结果

5.1 增益和群延迟之间的相互作用

在频率域, 波特率均衡器的滤波器系数可以从方程(10)得出, 两倍速过采样均衡器的滤波器系数可以从方程(14)得到。然而, 滤波器的响应并不能由目标响应来完全确定, 它也依赖于采样相位或延迟时间 θ 。如图 4 所示, 延迟时间是由两部分组成。第一部分是电磁波从信号源传播到负载的物理延迟时间。第二部分就是我们提到的采样相位或 FIR 滤波器的群延迟所引起的采样时刻的变化。这第二部分并不完全等同于群延迟, 因为群延迟与频率相关。

一旦滤波器的系数确定了, 它的增益和群延迟也就定下来了。反之, 当延迟时间发生变化时, 必然引起滤波器系数的变化, 从而改变增益。因此, 当给定发射功率时, FIR 滤波器的增益和群延迟之间彼此相互影响。

图 5 是某一 40 英寸的差分背板的电压传递函数。电

压传递函数定义为负载电压与内阻为 50 欧姆的信号源的电源电压之比. 因此, 其最大增益为 -6db, 而不是 0db.

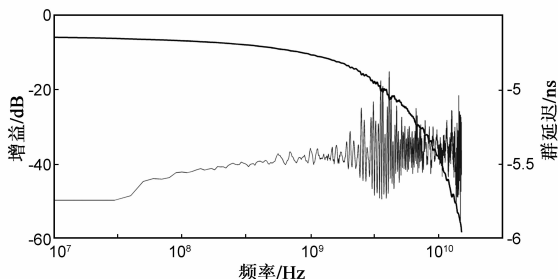


图5 一40英寸差分背板的电压传递函数的增益和群延迟

图 6 绘制了滤波器的前 60 个系数的绝对值之和与采样延迟时间之间的关系. 数据中心优化型均衡器的目标响应是 $\delta(n)$ 或克罗内克冲激函数; 双二进制均衡器的目标响应是 $0.5\delta(n) + 0.5\delta(n - 1)$; 2 倍速过采样均衡器的目标响应 $0.5\delta(n) + \delta(n - 1) + 0.5\delta(n - 2)$. 由于发射机的功率与偏置电流之和即系数的绝对值之和成正比, 在同等的发射机功率下, 该值越大, 则接收信号眼图的垂直方向张开程度就越小. 从图 6 中我们可以看到系数的绝对值之和对延迟时间很敏感. 然而, 我们不能通过延迟或提前输入序列或滤波器系数序列来抵消这种影响. 因为延迟或提前输入序列只在输出信号中引起相同的延迟量或提前量. 而延迟或提前波特率滤波器系数序列只能引起波特周期整数倍的延迟量或提前量. 因此文献[11]中的方法是有问题的.

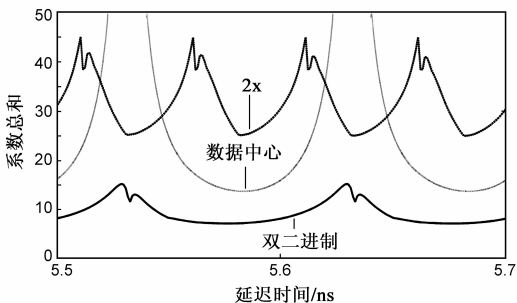


图6 滤波器系数绝对值之和与延迟时间的关系

5.2 截断噪声和量化噪声

通过扫描延迟时间, 最佳滤波器系数可以从式(10)和式(14)来获得. 首先将这些系数归一化, 以反映发射机的功率的限制. 为了在实际发射电路中使用这些系数, 它们必须被截断和量化.

5.3 截断和量化引入错误

截断误差的大小取决于 FIR 滤波器抽头的多少和系数序列本身的收敛性. 对于 40 英寸的背板, 如果只有 2 个或 3 个抽头时, 截断误差是很显著的. 在本文中, 波

特率均衡器使用 6 抽头而两倍速过采样均衡器使用 8 个抽头. 因此, 截断误差并不严重. 在抽头数较少, 如 2 到 3 个抽头的情况下, 一个有用的方法是使用最小均方误差算法(LMS)在式(10)或(14)给出的最佳的延迟时间附近搜索, 因为截断误差有可能很大, 以致其改变了最佳延迟的位置和系数序列. LMS 算法框图如图 7 所示. 其中的采样相位是分数延迟即波特周期的余数. 量化误差则取决于电流数模转换器(IDAC)的分辨率. 图 8 显示了某 40 英寸背板双二进制均衡器的 LMS 算法系数的收敛过程. 延迟时间是 5.577ns, 采样相位为 277 度. 如果要使用 LMS 算法收敛时的收残留误差作为标准来比较不同 FIR 均衡器系数设置时接收端信号在采样点的码间干扰, 必须再对系数和误差归一化, 以反映等同的发射机功率.

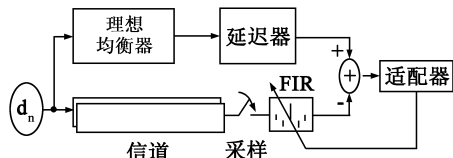


图7 均衡器设计的LMS算法框图

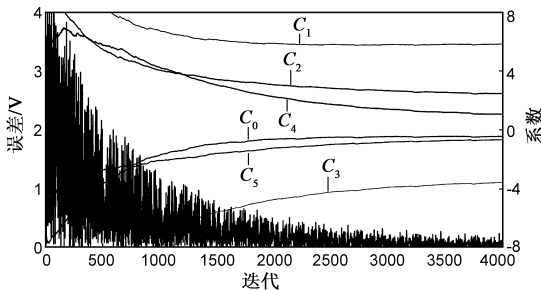


图8 双二进制均衡器的系数和误差收敛图

5.4 实验结果

图 9 是发射机的晶片照片. 该芯片采用 90 纳米的 CMOS 工艺设计. 电源电压是 1.2V. CML 驱动器电路一个臂上的峰值电压摆幅为 500mV. 前 3 个抽头的调整精度为 0.12mA. 第 4 和第 5 个抽头的调整步长为 0.06mA. 剩下的抽头调整步长为 0.03mA. 当配置为 2 倍速过采样均衡器时测得的平均电源电流为 58.6mA. 功率消耗为 70.3mW.

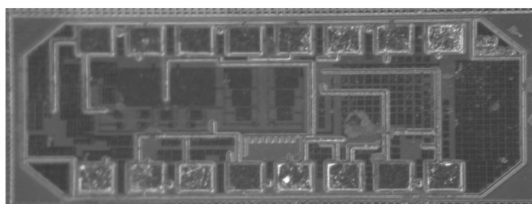
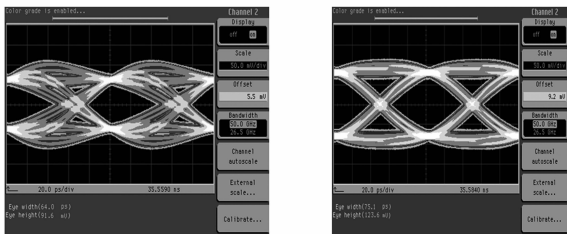


图9 发射机的裸晶片照片

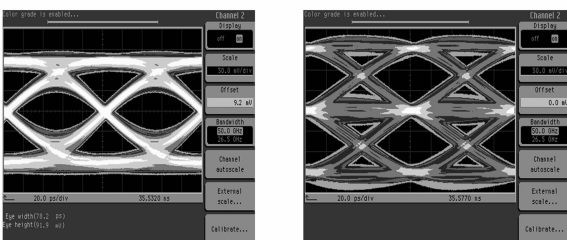
图 10 为采用不同延迟时间设计的数据中心优化型

均衡器的测试结果比较. 左边的眼图的均衡器设计时的延迟时间为 5.559ns. 该延迟时间大约相当于在信道矩形脉冲响应峰值的前 0.1 个单位时间间隔或后 0.9 个单位时间间隔. 右边眼图的均衡器设计时的延迟时间为 5.584ns. 这相当于在信道矩形脉冲响应峰值的前 0.35 个单位时间间隔. 左边的眼图不如右边眼图, 它的眼张开高度和宽度都小于右边. 这个结果和理论分析是一致的. 实验结果还表明, 如果均衡器设计的延迟时间在 5.525ns 和 5.545ns 之间, 眼图会变得更差. 图 11 比较了边沿均衡器和双二进制均衡器. 双二进制均衡器比边沿均衡器拥有更大的眼图. 这和文献[10]给出的结果不一样. 原因是, 文献[10]使用了没有群延迟失真的“虚拟”信道. 实际上该“虚拟”信道的相位恒定为零. 现实中, 一个背板上同时存在增益失真和群时延失真. 因此, 均衡必须产生额外的延迟, 以满足由公式(11)给出的要求. 所以通常边沿均衡器能给出最大眼图高度的最优化的双二进制均衡器.



(a) $\theta=5.559$ ns时数据中心优化型 (b) $\theta=5.584$ ns时数据中心优化型

图10 输入序列为PRBS-9伪随机序列时40英寸背板每秒10千兆比特数据传输接收的收端眼图. x方向分辨率: 20 ps/格; y方向分辨率: 50 mV/格

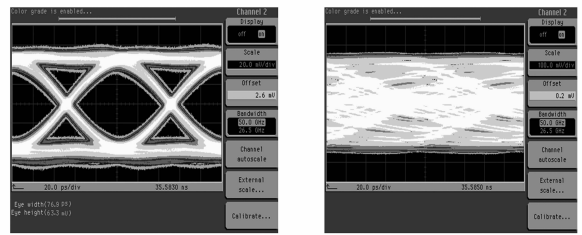


(a) $\theta=5.533$ ns时的为最佳边沿均衡器 (b) $\theta=5.577$ ns时为最佳双二进制均衡器

图11 输入序列为PRBS-9伪随机序列时40英寸背板每秒10千兆比特数据传输接收的收端眼图. x方向分辨率: 20 ps/格; y方向分辨率: 50 mV/格

但是, 边沿均衡器产生了简单 NRZ 探测方法的眼图; 而且数据检测与历史无关, 不存在误差传递. 此外, 不排除对于一些特殊的背板信道, 边沿均衡器的性能要优于双二进制均衡器的可能性. 图 12 是两倍速过采样均衡器的眼图. 数据中心和数据边沿的码间干扰都得到抑制. 但是其眼睛张开的高度是四种均衡器里最小. 表 1 罗列了本文所述的背板发射机的性能和近期文献报道结果的比较. 本文设计方法在功耗、误码率等指

标和它们相当, 但均衡方式可以根据信道特性和系统要求重新设置.



(a) $\theta=5.583$ ns时为最佳两倍速过采样均衡器 (b) unequalized.y-scale: 100:1 div

图12 输入序列为PRBS-9伪随机序列时40英寸背板每秒10Gbs数据传输的接收端眼图.x方向分辨率: 20 ps/格; y方向分辨率:20mv/格

表 1 性能比较

| | 本文 | 文献[22] | 文献[21] | 文献[3] |
|----------------|------------------------|----------------------|--|------------------|
| CMOS 工艺 | 90nm | 90nm | 90nm | 90nm |
| 电源电压 | 1.2V | 1.2V, 2.5V | 1.5V, 1.8V | 1.0V, 1.2V, 1.8V |
| 最大数据速率 | 10Gb/s | 10.3125Gb/s | 20Gb/s | 10Gb/s |
| 信道及奈奎斯特频率的信道衰减 | 40-inch FR4 30.5 dB | 75-cm FR4 35.8 dB | 40-cm Rogers — | — 33.5dB |
| 功耗 | 每种类型为 70.3 mW | 153mW | 120mW 双二进制 150 mW PAM4 100mW NRZ | 70mW |
| 误码率 | $< 10^{-12}$ | $< 10^{-13}$ | $< 10^{-12}$ | $< 10^{-12}$ |

6 结论

本文中介绍了一种采用 90 纳米 CMOS 工艺制造的高速背板发射机电路, 该发射机的有限冲激响应预加重型均衡器可重构为波特率的数据中心优化型均衡器、边沿优化型均衡器, 双二进制均衡器和两倍速过采样均衡器. 我们回顾了相关公式, 并在设计公式中引入一个延迟时间以讨论在给定发射功率时均衡器的群延迟和均衡器的增益之间的相互作用; 并在此基础上给出了边沿优化型均衡器的设计和优化方法. 此外, 本文还讨论了均衡器系数序列的截断和量化误差. 在 40 英寸背板上进行数据率为每秒 10 千兆比特的实验结果较好地符合了理论分析和设计目标.

参考文献

- [1] Agrawal A, et al. A 19Gb/s serial link receiver with both 4-tap FFE and 5-tap DFE functions in 45nm SOI CMOS [A]. IEEE International Solid-State Circuits Conference Digest of Technical Papers [C]. San Francisco: ISSCC, 2012. 134 - 136.
- [2] Chung H, et al. ADC-based backplane receiver design-space exploration [J]. IEEE Transactions on Very Large Scale Integration Systems, 2013, 99: 1 - 9.

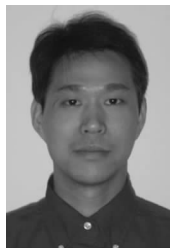
- [3] Bulzacchelli F, et al. A 10-Gb/s 5-Tap DFE/4-Tap FFE transceiver in 90-nm CMOS technology[C]. IEEE Journal of Solid-State Circuits, 2006, 41(12): 2885-2900.
- [4] Krishna K, et al. A multigigabit backplane transceiver core in 0.13- μm CMOS with a power-efficient equalization architecture[J]. IEEE Journal of Solid-State Circuits, 2005, 40(12): 2658 - 2666.
- [5] Chen D Y, et al. A simulator for high-speed backplane transceivers[A]. 11th International Conference on Computer Modelling and Simulation[C]. Cambridge: UKSIM, 2009. 589 - 593.
- [6] Yamaguchi K, et al. 12Gb/s duobinary signaling with 2x oversampled edge equalization[A]. IEEE International Solid-State Circuits Conference Digest of Technical Papers[C]. San Francisco: ISSCC, 2005. 70 - 71.
- [7] Leibowitz B S, et al. A 7.5Gb/s 10-tap DFE receiver with first tap partial response, spectrally gated adaptation, and 2nd-order data-filtered CDR[A]. IEEE International Solid-State Circuit Conference[C]. San Francisco: ISSCC, 2007. 228 - 229.
- [8] Sinsky J H, et al. High-speed electrical backplane transmission using duobinary signalling[J]. IEEE Transactions on Microwave Theory and Techniques, 2005, 53(1): 152 - 160.
- [9] Bergmans J W M. Digital Baseband Transmission and Recording[M]. Boston: Kluwer Academic Publisher, 1996.
- [10] Brun B and Anderson S. Edge-equalization extends performance in multi-gigabit serial links[DB/OL]. http://www.ieee802.org/3/ap/public/sep04/brunn_01_0904.pdf. 2004 - 09 - 28.
- [11] Zhang L, et al. FIR filter optimization using bit-edge equalization in high-speed backplane data transmission[J]. Microelectronics J (ELSEVIER), 2009, 40(10): 1449 - 1457.
- [12] Ekholm E B and Mcknight S W. Attenuation and dispersion for high- T_c superconducting microstrip lines[J]. IEEE Transactions on Microwave Theory and Techniques, 1990, 38(4): 387 - 395.
- [13] Gupta K C, Garg R and Bahl I J. Microstrip Lines and Slotlines[M]. Massachusetts: Artech House, 1979.
- [14] Wheeler H A. Transmission line properties of parallel strips separated by a dielectric sheet[J]. IEEE Transactions on Microwave Theory and Techniques, 1965, 13(3): 172 - 185.
- [15] Chen D Z, et al. Optimize transistor size for FIR pre-emphasis with programmable coefficients[A]. 14th Asia-Pacific Conference on Communications[C]. Tokyo: APCC, 2008. 1 - 5.
- [16] J L Zerbe, et al. Equalization and clock recovery for a 2.5-10-Gb/s 2-PAM/4-PAM backplane transceiver cell[J]. IEEE Journal of Solid - State Circuits, 2003, 38(1): 2121 - 2130.
- [17] Karvonen S, et al. A quadrature charge-domain sampler with embedded FIR and IIR filtering function[J]. IEEE Journal of Solid-State Circuits, 2006. 41(2): 507 - 515.
- [18] Muhammad K, et al. Direct RF sampling mixer with recursive filtering in charge domain[A]. International Symposium on Circuits and Systems[C]. Vancouver: ISCAS, 2004. 577 - 580.
- [19] Chen D Y, et al. Design considerations for an RF sampling mixer[J]. IEEE Transactions on Circuits and Systems- II, 2007, 54(11): 934 - 938.
- [20] 程佩青. 数字信号处理[M]. 北京: 清华大学出版社, 1995. 185 - 188.
- CHENG Pei-qing. Digital signal processing[M]. Beijing: Tsinghua University Press, 1995. 185 - 188. (in Chinese)
- [21] Lee J, et al. Design and comparison of three 20-Gb/s backplane transceivers for Duobinary, PAM4, and NRZ Data[J]. IEEE Journal of Solid-State Circuits, 2008, 43(9): 2120 - 2133.
- [22] Hidaka Y, et al. A 4-Channel 1.25-10.3 Gb/s backplane transceiver Macro with 35 dB equalizer and sign-based zero-forcing adaptive control[J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3547 - 3559.

作者简介



朱旭东 男, 1980 年出生, 江苏宜兴人, 硕士研究生, 现为无锡工艺职业技术学院电子信息系讲师. 主要研究方向为 CMOS 电路设计, 物联网技术.

E-mail: zhuxudong08@sina.com



陈殿勇 男, 毕业于复旦大学. 2005 年至 2009 年在加拿大 Carleton 大学电子系从事博士后研究. 现任加拿大 Gedex 公司高级研究员和加拿大 Carleton 大学电子系客座教授.

E-mail: chendianyong@gmail.com